

PUB-NO: DE004211999A1  
DOCUMENT-IDENTIFIER: DE 4211999 A1  
TITLE: Reducing hot electron current  
density of submicron  
doping or lightly  
under spacer oxide,  
integrated circuits - using surface  
doped source-drain region in regions  
of the opposite impurity type  
PUBN-DATE: October 15, 1992

## INVENTOR-INFORMATION:

NAME	COUNTRY
HWANG, LEE YEUN	KR

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
GOLD STAR ELECTRONICS	KR

APPL-NO: DE04211999

APPL-DATE: April 9, 1992

PRIORITY-DATA: KR09105714A ( April 10, 1991)

INT-CL (IPC): H01L021/336, H01L029/784

EUR-CL (EPC): H01L021/225 ; H01L021/336, H01L029/78 ,  
H01L029/78US-CL-CURRENT: 257/336, 257/E21.149 , 257/E21.435 ,  
257/E29.255 , 257/E29.269

## ABSTRACT:

CHG DATE=19990617 STATUS=O>The LDD-transistors have a shallow, low density

impurity concn. (14) abutting the gate electrodes (12). The spacers (13) function both as implantation masks during a conventional high dose implant for the low resistivity drain/source regions and as sources of an impurity of opposite type so that in drain/source regions. This impurity diffuses (15) into the surface layer of the LDD regions (14). The process claimed is standard except for the use of a doped oxide layer, pref. B-doped or P-doped silicate glass, from which spacers, pref. 150 nm wide, are formed in the conventional way. The impurities contained are then diffused into the LDD-regions before implantation of the deep impurities in the source/drain regions. The LDD regions are pref. formed using As implantation at 40 KeV with a density of  $2 \times 10^{13}$  cm<sup>-2</sup> and the high impurity density regions by implantation of  $5 \times 10^{13}$  cm<sup>-2</sup> As at 60 KeV.

USE/ADVANTAGE - Using the doping effect by the spacers the hot electron current density has been reduced by a factor of e.g. 5, improving the reliability of the LDD transistors. The process is used in the mfr. of high density sub-micron integrated circuits.



(19) BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

(12) **Offenlegungsschrift**  
(10) **DE 42 11 999 A 1**

(51) Int. Cl. 5:  
**H 01 L 29/784**  
H 01 L 21/336

**DE 42 11 999 A 1**

(21) Aktenzeichen: P 42 11 999.5  
(22) Anmeldetag: 9. 4. 92  
(23) Offenlegungstag: 15. 10. 92

(30) Unionspriorität: (22) (33) (31)

10.04.91 KR 5714/91

(71) Anmelder:

Gold Star Electron Co., Ltd., Chungcheongbuk, KR

(74) Vertreter:

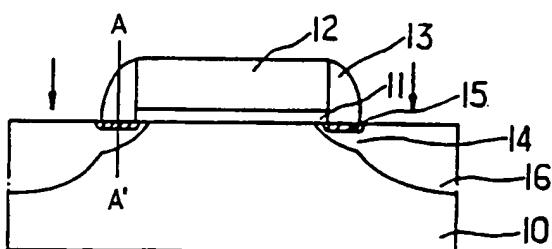
von Samson-Himmelstjerna, F., Dipl.-Phys.; Turi, M.,  
Dipl.-Phys., Pat.-Anwälte, 8000 München

(72) Erfinder:  
Hwang, Lee Yeun, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

(54) LDD-Transistor und Verfahren zu dessen Herstellung

(57) Die Erfindung betrifft einen LDD-Transistor und ein Verfahren zur Herstellung eines LDD-Transistors. Dabei zeichnet sich der Aufbau des LDD-Transistors dadurch aus, daß Bereiche (15) unter Gate-Seitenwänden (13) gebildet werden, die mit einer Dotiersubstanz dotiert sind, die dem Typ von Source-/Drain-Bereichen (14, 16) entgegengesetzt ist. Das Verfahren umfaßt ein Bilden von Source-/Drain-Bereichen (14) schwacher Konzentration nach einem Bilden eines Gates (12) auf einem Substrat (10), ein Anordnen eines mit einer Dotiersubstanz vom gleichen Typ des Substrates dotierten Materials auf der gesamten freiliegenden Oberfläche, ein Bilden von Seitenwand-Abstandsschichten (13) mittels eines Ätzens, ein Bilden von mit einer Dotiersubstanz vom gleichen Typ des Substrates dotierten Bereichen (15) in den Source-/Drain-Bereichen (14) schwacher Konzentration, jeweils unterhalb der Gate-Seitenwände, sowie ein Bilden von Source-/Drain-Bereichen (16) hoher Konzentration (Fig. 2e).



**DE 42 11 999 A 1**

## Beschreibung

Die vorliegende Erfindung befaßt sich mit einem LDD-Transistor und mit einem Verfahren zur dessen Herstellung. Der Begriff "LDD-Transistor" steht als Abkürzung des englischen Begriffes "lightly doped drain transistor" und bedeutet soviel wie "schwach dotierter Drain-Transistor".

Die Fig. 1a bis 1d veranschaulichen ein Verfahren zur Herstellung eines N-Typ-Transistors mit einem bekannten schwach dotierten (LDD-)Aufbau.

Nach diesem Verfahren wird, wie in Fig. 1a gezeigt, auf einem P-Typ-Substrat 1 ein Gate 2 gebildet. Daraufhin werden, wie in Fig. 1b gezeigt, auf dem Substrat 1 durch Injektion mit N<sup>-</sup>-Typ-Ionen Source-/Drain-Bereiche schwacher Konzentration gebildet.

Danach werden, wie in Fig. 1c gezeigt, Seitenwand-Abstandsschichten 3 ("spacer") gebildet. Dann wird das Substrat 1 einem thermischen Prozeß zur Eindiffusion der injizierten N<sup>-</sup>-Typ-Ionen unterworfen, so daß sich darauf Source-/Drain-Bereiche 4 schwacher Konzentration bilden. Anschließend werden, wie in Fig. 1d gezeigt, zur Bildung von Source-/Drain-Bereichen 5 hoher Konzentration, N<sup>+</sup>-Typ-Ionen injiziert und in das Substrat 1 eindiffundiert.

Die vorstehend beschriebene Bildung von Source-/Drain-Bereichen hoher und schwacher Konzentration dient zur Reduzierung starker elektrischer Felder, die sich nahe den Source-/Drain-Bereichen konzentrieren. Dadurch kann dieser Stand der Technik den durch (ein) starke(s) elektrische(s) Feld(er) verursachten Effekt heißer Ladungsträger ("hot carrier effect") reduzieren, wodurch die Zuverlässigkeit des letztlich hergestellten Elementes zwar verbessert wird. Es werden jedoch heiße Ladungsträger in Niedertemperaturoid- (bzw. "Low-Temperature-Oxyd-") Filmen (LTO-Filmen) eingefangen, welche die Seitenwand-Abstandsschichten bilden. Daher verbleibt ein elektrisches Feld nahe den Source-/Drain-Bereichen, was die Zuverlässigkeit einer Gate-Oxid-Schicht aufgrund der heißen Ladungsträger verringert.

Es ist daher ein Ziel der vorliegenden Erfindung, die mit dem vorstehend beschriebenen Stand der Technik verbundenen Probleme zumindest weitgehend zu beseitigen und somit einen LDD-Transistor mit einem verbesserten Aufbau zu schaffen, mit dem die durch ein starkes elektrisches Feld eingefangenen heißen Ladungsträger verringert werden. Ein weiteres Ziel der vorliegenden Erfindung besteht darin, ein Verfahren zur Herstellung eines derartigen LDD-Transistors zu schaffen.

Das erfindungsgemäße Ziel wird durch einen LDD-Transistor erreicht, mit: einem Substrat vom ersten Leitungstyp, einer auf dem Substrat gebildeten Gate-Elektrode, Bereichen schwacher Konzentration einer eindiffundierten Dotiersubstanz eines zweiten Leitungstyps, die auf der Oberfläche des Substrates jeweils an gegenüberliegenden Seiten der Gate-Elektrode gebildet sind, Bereichen einer hohen Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp, die jeweils auf der Oberfläche des Substrates nahe zu einer Seite jeden Bereiches schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp gebildet sind, an gegenüberliegenden Seiten der Gate-Elektrode gebildeten Seitenwand-Abstandsschichten, die jeweils oberhalb der Bereiche schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp angeordnet sind, und Bereichen ei-

ner eindiffundierten Dotiersubstanz vom ersten Leitungstyp, die in den Bereichen schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp jeweils unterhalb der Seitenwand-Abstandsschichten gebildet sind.

Im Hinblick auf das Verfahren wird das erfindungsgemäße Ziel durch ein Verfahren zur Herstellung eines LDD-Transistors mit folgenden Schritten erreicht: eine Gate-Elektrode wird auf einem Substrat eines ersten Leitungstypes gebildet, Ionen eines zweiten Leitungstyps werden in geringer Konzentration in die Oberfläche des Substrates an gegenüberliegenden Seiten der Gate-Elektrode injiziert und eindiffundiert, um derart Bereiche schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp zu bilden, ein mit einer Dotiersubstanz vom ersten Leitungstyp dotiertes Material wird auf die gesamte freiliegende Oberfläche aufgebracht und Seitenwand-Abstandsschichten werden mittels Ätzens an gegenüberliegenden Seiten der Gate-Elektrode gebildet, die in den Seitenwand-Abstandsschichten enthaltene Dotiersubstanz wird in die Bereiche schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp eindiffundiert, um derart jeweils unterhalb der Seitenwand-Abstandsschichten Bereiche einer eindiffundierten Dotiersubstanz vom ersten Leitungstyp zu bilden, und Ionen vom zweiten Leitungstyps werden in hoher Konzentration nahe zu den Bereichen schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp injiziert und eindiffundiert, um derart Bereiche einer eindiffundierten Dotiersubstanz vom ersten Leitungstyp unterhalb der jeweiligen Seitenwand-Abstandsschichten zu bilden.

Zusammengefaßt kann der verbesserte Aufbau des erfindungsgemäßen LDD-Transistors den durch elektrische Felder nahe den Source-/Drain-Bereichen verursachten Effekt heißer Ladungsträger verringern.

Im folgenden wird die Erfindung anhand von Ausführungsbeispielen im Zusammenhang mit der Zeichnung 40 ausführlicher erläutert. Dabei werden auch weitere Vorteile der Erfindung deutlich. Es zeigen:

Fig. 1a – 1d schematische Schnittansichten, die ein Verfahren zur Herstellung eines Transistors mit eines bekannten schwach dotierten Drainaufbaus veranschaulichen;

Fig. 2a – 2e schematische Ansichten, die ein erfindungsgemäßes Verfahren zur Herstellung eines LDD-Transistors veranschaulichen;

Fig. 3a und 3b Diagramme, die Potentialverteilungen von Stoßionen des bekannten bzw. des erfindungsgemäßen Aufbaus veranschaulichen;

Fig. 4a und 4b Diagramme, die Dotierungsprofile von LDD-Bereichen bekannter bzw. erfindungsgemäßer LDD-Transistoren veranschaulichen;

Fig. 4c einen Vergleich zwischen Dotierprofilen bekannter und erfindungsgemäßer LDD-Transistoren;

Fig. 5a und 5b Diagramme, die Parameter zur Beurteilung der Charakteristiken bekannter und erfindungsgemäßer LDD-Transistoren veranschaulichen;

Fig. 5c den Vergleich zwischen Stromstärken  $I_{sub}$  eines bekannten und eines erfindungsgemäßen Aufbaus;

Fig. 6a und 6b Diagramme, die andere Parameter zur Beurteilung von Charakteristiken bekannter und erfindungsgemäßer LDD-Transistoren veranschaulichen.

Die Fig. 2a bis 2e zeigen ein erfindungsgemäßes Verfahren zur Herstellung eines erfindungsgemäßen LDD-Transistors mit einem verbesserten Aufbau.

Auf einem P-Typ-Substrat 10 mit einer Konzentra-

tion von  $2 \times 10^{15}$  (cm<sup>-3</sup>) werden, wie in Fig. 2a dargestellt, zuerst eine Gate-Oxid-Schicht 11 und ein Gate 12 gebildet. Zur Bildung von Source-/Drain-Bereichen schwacher Konzentration wird das Substrat 10, wie in Fig. 2b gezeigt, einer Injektion mit Phosphorionen einer Dosis bzw. einer Stromdichte von  $2 \times 10^{13}$  (cm<sup>-2</sup>) unterworfen, wobei eine Energie von 40 keV verwendet wird. Indem BF<sup>2</sup> mit einer Stromdichte von  $2 \times 10^{13}$  (cm<sup>-2</sup>) in den Bereich des Substrates 10 unterhalb des Gates 12 unter Verwendung einer Energie von 40 keV injiziert wird, wird auf dem Substrat 10 ein Kanal 10a gebildet.

Danach wird Silikat-Glas (oder Silikat-Quarz), welches mit Bor vom P-Typ in einer Konzentration von  $6 \times 10^{18}$  (cm<sup>-3</sup>) dotiert ist (auch als BSG bezeichnet) auf die ganzen freiliegenden Oberflächen des Substrates 10 und des Gates 12 aufgebracht. Die aufgebrachte Silikat-Glasschicht wird einem Trockenätzen unterworfen. Dabei wird ein Reaktiv-Ion-Ätzverfahren (RIE) "reactive ion etching" angewendet. Dadurch werden Gate-Seitenwände 13 mit einer jeweiligen Dicke T von 1500 Å gebildet. Danach werden die injizierten Phosphorionen durch einen thermischen Prozeß in das Substrat 10 eindiffundiert, wodurch darauf Source-/Drain-Bereiche 14 schwacher Konzentration gebildet werden.

Ein nachfolgendes Ausheizen (bzw. Tempern oder Ausheilen) dient dazu, die Verdichtung bzw. Dichteverteilung ("densification") der mit Bor dotierten Gate-Wände 13 zu verbessern und Bor in die gebildeten Source-/Drain-Bereiche 14 schwacher Konzentration einzudiffundieren. Während dieses nachfolgenden Ausheilens wird Bor in die unterhalb der Gate-Wände 13 angeordneten Source-/Drain-Bereiche 14 schwacher Konzentration eindiffundiert, wodurch sich, wie in Fig. 2d gezeigt, P-Typ-Schichten 15 bilden.

Wie in Fig. 2e gezeigt, werden daraufhin im Substrat durch Injektion von Arsen (As) mit einer Stromdichte von  $5 \times 10^{15}$  (cm<sup>-2</sup>) unter Verwendung einer Energie von 60 keV Source-/Drain-Bereiche 16 hoher Konzentration gebildet.

Aus der vorstehenden Beschreibung wird deutlich, daß die vorliegende Erfindung einen N-Typ-Transistor mit einem spezifischen LDD-Aufbau mit Gate-Seitenwänden 13 aus BSG und P-Typ-Schichten 15 schafft. Die P-Typ-Schichten 15 werden während des nachfolgenden Ausheilens durch das Eindiffundieren von Bor in den Substratbereich unterhalb jeder der Gate-Seitenwände 13 gebildet. Die dem Typ der Source-/Drain-Bereiche entgegengesetzten P-Typ-Schichten 15 dienen dazu, heiße Ladungsträger daran zu hindern, auf die Gate-Oxidschicht 11 und die Gate-Seitenwände 13 zu zustreben.

Genauer betrachtet dient die dreiwertige Dotiersubstanz bzw. der Dotant "Bor" als Puffer zur Vermeidung der Bildung eines starken elektrischen Feldes aufgrund des fünfwertigen Dotanten Phosphor, des starken Fluxes heißer Ladungsträger vom Source-Bereich zum Drain-Bereich und des Einfangens heißer Ladungsträger von der Gate-Oxidschicht zu den Gate-Seitenwänden.

Die Fig. 3a bis 6b veranschaulichen Simulationsergebnisse des bekannten und des erfindungsgemäßen LDD-Transistors.

Die Fig. 3a und 3b zeigen in Diagrammform Potentialverteilungen von Stoßionen im bekannten bzw. im erfindungsgemäßen Aufbau. Beim in Fig. 3a gezeigten bekannten Aufbau tritt in der Gate-Oxidschicht eine weite Potentialverteilung von Stoßionen auf, so daß heiße Ladungsträger dazu neigen, in der Gate-Oxidschicht ein-

gefangen zu werden. Dagegen wird beim in Fig. 3b gezeigten erfindungsgemäßen Aufbau durch die Wirkung der durch die Eindiffusion von Bor unterhalb der Seitenwand-Abstandsschichten gebildeten P-Typ-Schichten eine schmale Potentialverteilung von Stoßionen erreicht. Da heiße Ladungsträger mit Borionen rekombinieren, reduziert sich das Phänomen ihres Zustrebens auf die Gate-Oxidschicht. Als ein Ergebnis wird die Charakteristik eines letztlich hergestellten Elementes verbessert. Bei der obigen Simulation wurde eine Drainspannung V<sub>ds</sub> von 3,3 Volt und eine Gatespannung von 5 Volt angelegt.

Die Fig. 4a und 4b veranschaulichen in Diagrammform Dotierprofile von LDD-Bereichen (in Fig. 2e der Bereich A-A') bekannter bzw. erfindungsgemäßer LDD-Transistoren. Im Gegensatz zum in Fig. 4a gezeigten bekannten LDD-Dotierprofil ergibt sich im in Fig. 4b gezeigten erfindungsgemäßen LDD-Dotierprofil ein gebogener Abschnitt durch die Wirkung der Bor-Konzentration in den Seitenwandabstandsschichten des vorliegenden Transistors. Fig. 4c veranschaulicht den Vergleich zwischen Dotierprofilen bekannter und erfindungsgemäßer LDD-Transistoren.

Die Fig. 5a und 5b veranschaulichen in Diagrammform geeignete Parameter zur Beurteilung von Charakteristiken bekannter und erfindungsgemäßer LDD-Transistoren. Der jeweils dargestellte Parameter zeigt die Größe des durch das Substrat mittels Löcherleitung fließenden Stromes I<sub>sub</sub> gegen eine am Gate angelegte (Grund-)Spannung. Beim bekannten Aufbau ergibt sich ein maximaler Stromwert I<sub>sub</sub> von  $1,506 \times 10^{-6}$  (Ampere/Mikrometer), bei einer anliegenden Gatespannung V<sub>g</sub> von 1,8 V (siehe Fig. 5a). Dagegen ergibt sich beim erfindungsgemäßen Aufbau ein Maximalstromwert I<sub>sub</sub> von  $3,016 \times 10^{-7}$  (Ampere/Mikrometer) bei einer anliegenden Gate-Spannung V<sub>gs</sub> von 1,6 V (siehe Fig. 5b). Durch den erfindungsgemäßen Aufbau werden nämlich viele heiße Ladungsträger beim mit Bor dotierten, unterhalb jeder Seitenwand-Abstandsschicht angeordneten, P-Typ-Bereich rekombiniert, so daß beim Auftreffen heißer Ladungsträger gegen ein elektrisches Drainfeld Elektron-/Loch-Paare gebildet werden. Dadurch wird die Menge des durch das Substrat fließenden Stromes verringert. Es wird somit deutlich, daß das Simulationsergebnis der vorliegenden Erfindung eine gute Charakteristik bzw. ein Reduzieren des Stromes auf gut 1/5 im Vergleich zur Charakteristik des bekannten Aufbaus darstellt. Der Strom I<sub>sub</sub> ist ein Parameter, mit dem indirekt der beim Anliegen einer Grundspannung am Gate generierte Gatestrom gemessen werden kann. Entsprechend ist er auch ein Parameter, der dazu geeignet ist, die Qualität einer durch heiße Ladungsträger verschlechterten Gate-Oxidschicht einzuschätzen. Fig. 5c zeigt den Vergleich zwischen den Stromgrößen I<sub>sub</sub> beim bekannten und beim erfindungsgemäßen Aufbau.

Die Fig. 6a und 6b veranschaulichen in Diagrammform andere zur Beurteilung der Charakteristiken bekannter und erfindungsgemäßer LDD-Transistoren geeignete Parameter. Der jeweils gezeigte Parameter veranschaulicht die Menge eines beim Anliegen einer Grundspannung am Gate durch das Substrat fließenden Elektronenstromes I<sub>g</sub>. Beim bekannten Aufbau beträgt der Maximalstromwert I<sub>g</sub>  $1 \times 10^{-15}$  (Ampere/Mikrometer), beim Anliegen einer Gate-Spannung V<sub>gs</sub> von 3,0 V (wie in Fig. 6a gezeigt). Dagegen beträgt der Maximalstromwert I<sub>g</sub> bei der vorliegenden Erfindung beim Anliegen derselben Gate-Spannung (V<sub>gs</sub>  $3 \times 10^{-18}$  (Ampere/Mikrometer)), wie in Fig. 6b gezeigt. Aus den Fig. 6a

und 6b wird damit deutlich, daß die Größe bzw. Menge des Stromes  $I_g$  beim erfundungsgemäßen Aufbau beträchtlich geringer ist als beim bekannten Aufbau.

Aus der vorstehenden Beschreibung wird ersichtlich, daß bei der vorliegenden Erfindung ein dotierter Bereich unterhalb jeder Seitenwand-Abstandsschicht gebildet wird, der dem Typ des Substrates entspricht. Damit ist es möglich, den Effekt heißer Ladungsträger, die in der Gate-Oxidschicht und den Gate-Seitenwänden aufgrund eines starken elektrischen Feldes eingefangen sind, zu verringern. Dies verbessert sowohl die Charakteristika als auch die Zuverlässigkeit des Transistors.

## Patentansprüche

15

## 1. LDD-Transistor mit

- a) einem Substrat (10) eines ersten Leitungstyps,
- b) einer auf dem Substrat (10) gebildeten Gate-Elektrode (12),
- c) Bereichen (14) schwacher Konzentration einer eindiffundierten Dotiersubstanz eines zweiten Leitungstyps, die auf der Oberfläche des Substrates (10) jeweils an gegenüberliegenden Seiten der Gate-Elektrode (12) gebildet sind,
- d) Bereichen (16) einer hohen Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp, die jeweils auf der Oberfläche des Substrates (10) nahe zu einer Seite jeden Bereiches (14) schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp gebildet sind,
- e) an gegenüberliegenden Seiten der Gate-Elektrode (12) gebildeten Seitenwand-Abstandsschichten (13), die jeweils über den Bereichen (14) schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp angeordnet sind, und
- f) Bereichen (15) einer eindiffundierten Dotiersubstanz vom ersten Leitungstyp, die in den Bereichen (14) schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp jeweils unterhalb der Seitenwand-Abstandsschichten (13) gebildet sind.

20

35

40

45

2. LDD-Transistor nach Anspruch 1, dadurch gekennzeichnet, daß jeder Bereich (15) der eindiffundierten Dotiersubstanz vom ersten Leitungstyp, der unterhalb jeder entsprechenden Seitenwand-Abstandsschicht (13) gebildet ist, nur so tief ist, daß er nicht über den zugehörigen Bereich (14) schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp vorzustehen.

3. Verfahren zur Herstellung eines LDD-Transistors mit folgenden Schritten:

55

- a) eine Gate-Elektrode wird auf einem Substrat eines ersten Leitungstyps gebildet,
- b) Ionen eines zweiten Leitungstyps werden in geringer Konzentration in die Oberfläche des Substrates an gegenüberliegenden Seiten der Gate-Elektrode injiziert und eindiffundiert, um Bereiche schwacher Konzentration einer eindiffundierten Dotiersubstanz vom zweiten Leitungstyp zu bilden,
- c) ein mit einer Dotiersubstanz vom ersten Leitungstyp dotiertes Material wird auf die gesamte freiliegende Oberfläche aufgebracht und Seitenwand-Abstandsschichten werden

60

65

mittels Ätzen an gegenüberliegenden Seiten der Gate-Elektrode gebildet,

- d) die in den Seitenwand-Abstandsschichten enthaltene Dotiersubstanz wird in die Bereiche schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp eindiffundiert, um jeweils unterhalb der Seitenwand-Abstandsschichten Bereiche der eindiffundierten Dotiersubstanz vom ersten Leitungstyp zu bilden, und
- e) Ionen des zweiten Leitungstyps werden in hoher Konzentration nahe zu den Bereichen schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp injiziert und eindiffundiert, um derart Bereiche der eindiffundierten Dotiersubstanz vom ersten Leitungstyp unterhalb der jeweiligen Seitenwand-Abstandsschichten zu bilden.

4. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3, dadurch gekennzeichnet, daß der Schritt der Bildung von Seitenwand-Abstandsschichten ein Trockenätzen unter Verwendung eines Reaktiv-Ion-Ätzprozesses umfaßt.

5. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3, dadurch gekennzeichnet, daß als Material zur Bildung der Seitenwand-Abstandsschichten ein mit Bor dotiertes Silikatglas verwendet wird.

6. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3, dadurch gekennzeichnet, daß im Falle einer Verwendung eines Substrates vom zweiten Leitungstyp als Material zur Bildung der Seitenwand-Abstandsschichten ein Phosphor-Silikatglas verwendet wird.

7. Verfahren zur Herstellung eines LDD-Transistors nach einem der Ansprüche 3 bis 6, dadurch gekennzeichnet, daß jede Seitenwand-Abstandsschicht eine Dicke von 1500 Å hat.

8. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3, dadurch gekennzeichnet, daß als die in das Substrat vom ersten Leitungstyp eindotierte Dotiersubstanz die gleiche Dotiersubstanz verwendet wird, die in die Bereiche der eindiffundierten Dotiersubstanz vom ersten Leitungstyp eindotiert ist.

9. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3, dadurch gekennzeichnet, daß die Bereiche schwacher und hoher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp mittels Verwendung einer Dotiersubstanz eines Types durchgeführt wird, die entgegengesetzt zum Typ der Dotiersubstanz ist, die in die Substrate vom ersten Leitungstyp und die dotierten Diffusionsbereiche eindotiert ist.

10. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3 oder 9, dadurch gekennzeichnet, daß der Schritt der Bildung der Bereiche schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp ein Injizieren von Arsen mit einer Stromdichte von  $2 \times 10^{13}$   $(\text{cm}^{-2})$  umfaßt, wobei eine Energie von 40 keV verwendet wird.

11. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3 oder 9, dadurch gekennzeichnet, daß der Schritt des Ausbildens der Bereiche schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp ein Injizieren von Arsen mit einer Stromdichte von

$5 \times 10^{15}$  (cm<sup>-2</sup>) umfaßt, wobei eine Energie von 60 keV verwendet wird.

12. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3 oder 9, dadurch gekennzeichnet, daß der Schritt der Bildung der Bereiche 5 der eindiffundierten Dotiersubstanz vom ersten Leitungstyp unterhalb der Seitenwand-Abstandsschichten ein nachfolgendes Ausheilen bzw. Ausheizen umfaßt.

13. Verfahren zur Herstellung eines LDD-Transistors nach Anspruch 3 oder 12, dadurch gekennzeichnet, daß die unterhalb der den Seitenwand-Abstandsschichten gebildeten Bereiche der eindiffundierten Dotiersubstanz vom ersten Leitungstyp daran gehindert werden, vor die jeweiligen Bereiche schwacher Konzentration der eindiffundierten Dotiersubstanz vom zweiten Leitungstyp vorzustehen.

---

Hierzu 8 Seite(n) Zeichnungen

20

25

30

35

40

45

50

55

60

65

**- Leerseite -**

FIG. 1a

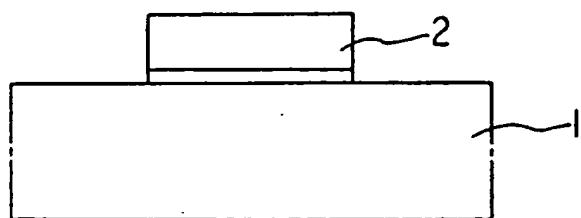


FIG. 1b

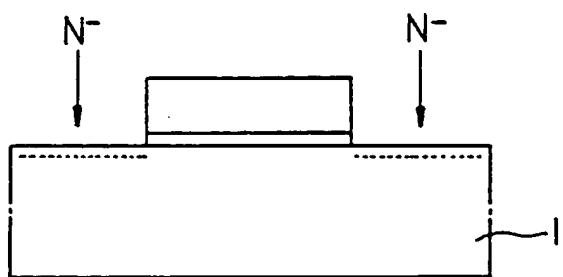


FIG. 1c

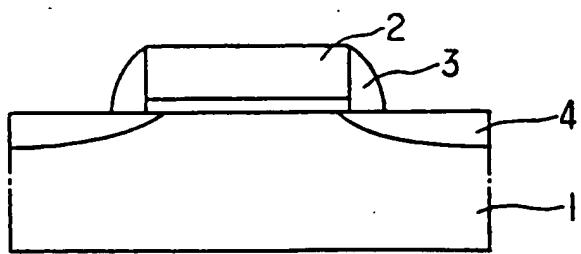


FIG. 1d

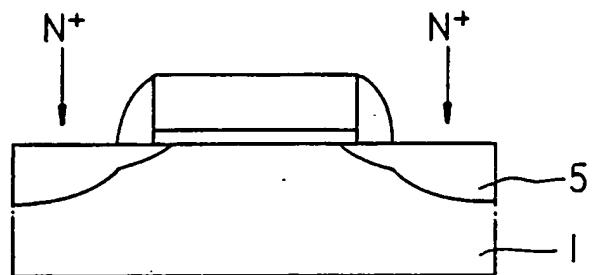


FIG. 2a

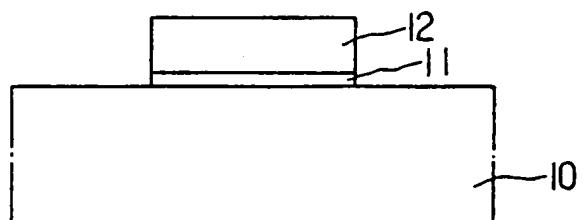


FIG. 2b

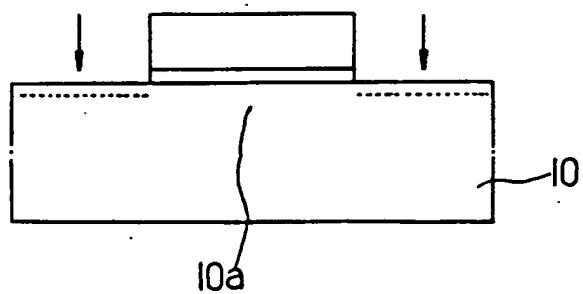


FIG. 2c

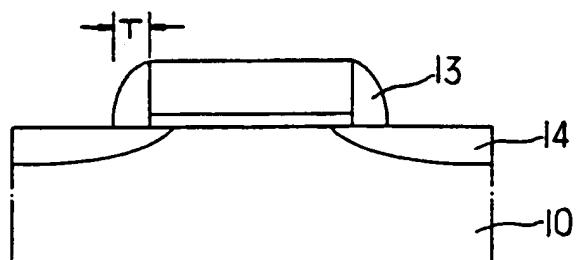


FIG. 2d

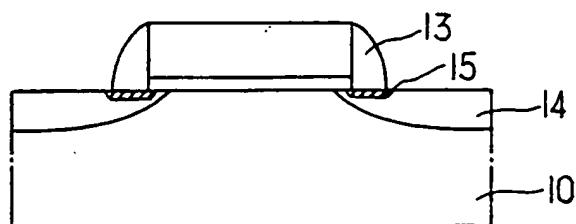


FIG. 2e

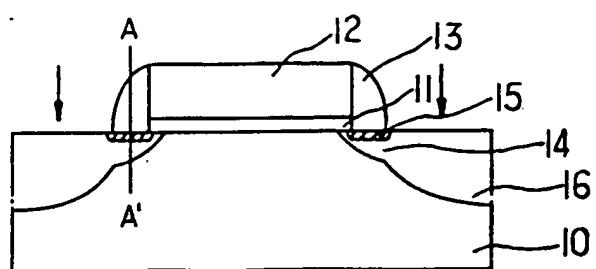


FIG. 3a

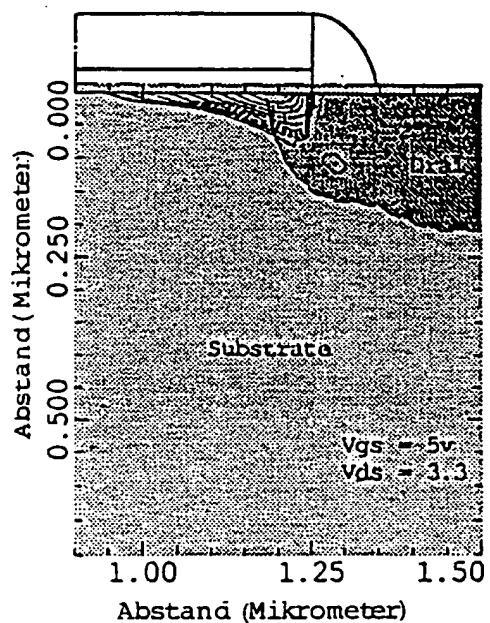


FIG. 3b

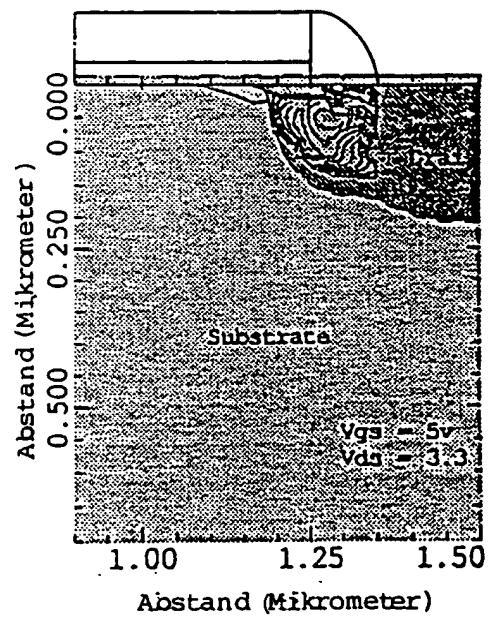


FIG.4a

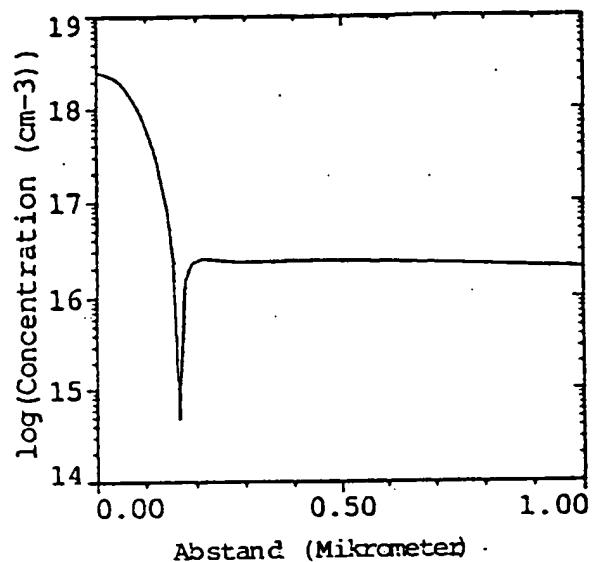


FIG.4b

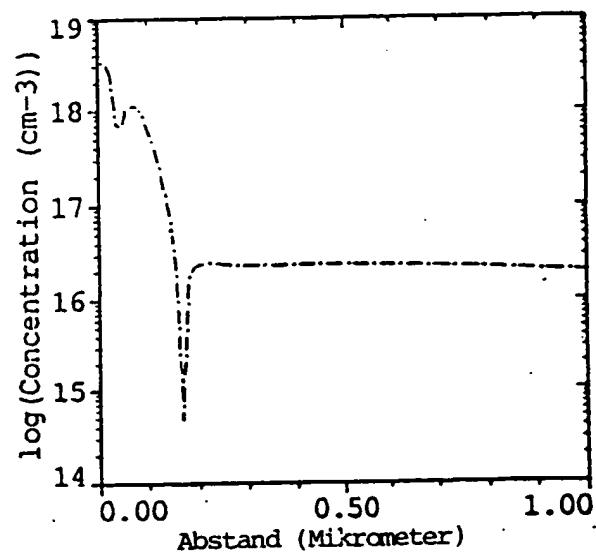


FIG.4c

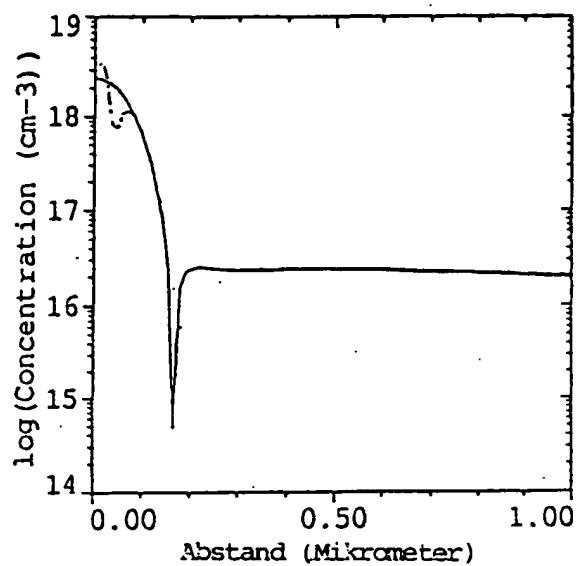


FIG.5d

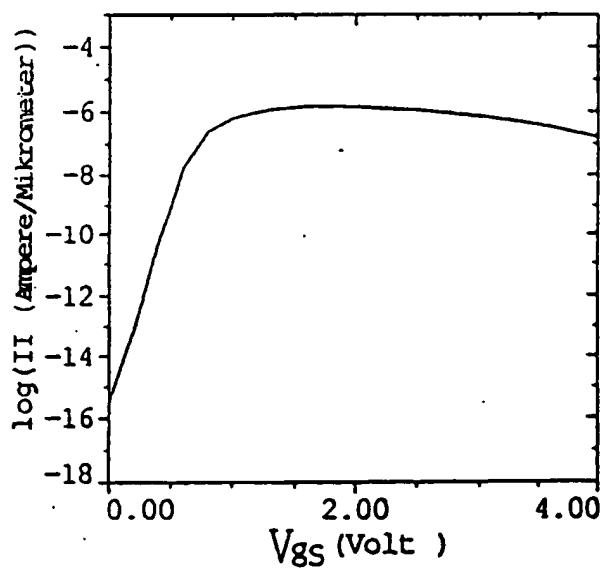


FIG. 5b

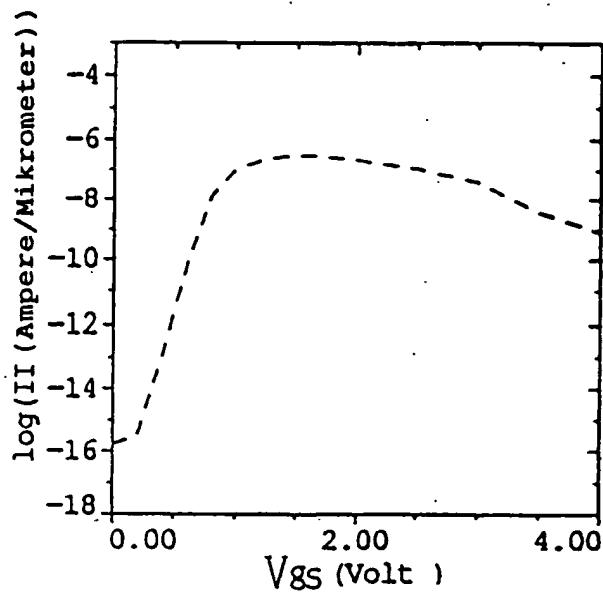


FIG. 5c

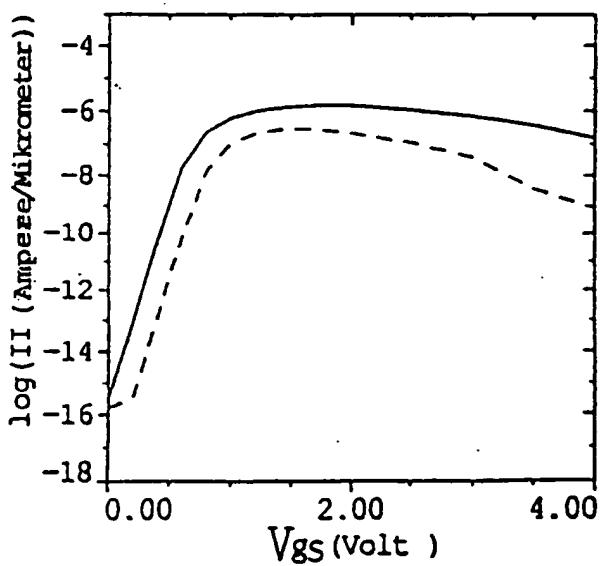


FIG. 6a

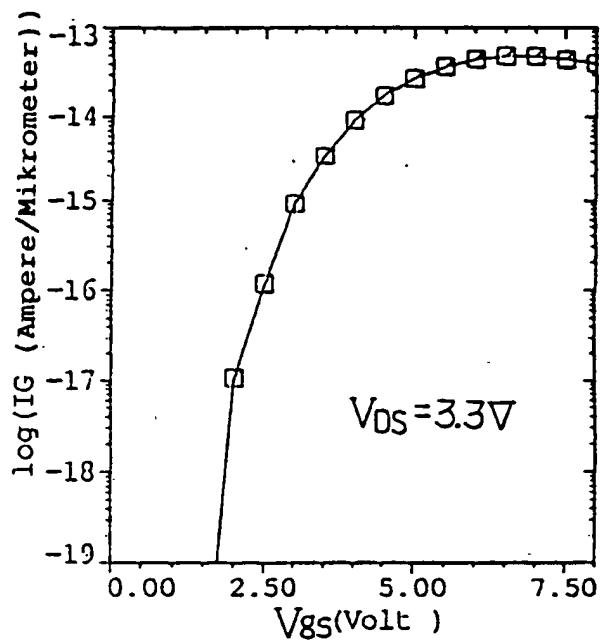


FIG. 6b

